

Duplexer package

Patent Number: US5561406
 Publication date: 1996-10-01
 Inventor(s): IKATA OSAMU (JP); OHMORI HIDEKI (JP); HIRASAWA NOBUO (JP); SATOH YOSHIO (JP)
 Applicant(s): FUJITSU LTD (JP)
 Requested Patent: JP8018393
 Application Number: US19950412318 19950329
 Priority Number(s): JP19940151319 19940701
 IPC Classification: H01P5/12
 EC Classification: H04B1/52L
 Equivalents: DE19514798, JP2905094B2

Abstract

A multilayer duplexer package is provided, which includes: two surface-acoustic-wave filter chips having different center pass band frequencies; and at least two phase matching circuits for matching the phase of one filter chip to that of the other filter chip, said phase matching circuits respectively comprising strip lines stacked one above another, and said strip lines each having a characteristic impedance higher than the characteristic impedance of an external circuit to be connected to the duplexer package.

Data supplied from the esp@cenet database - I2

Description

BACKGROUND OF THE INVENTION

1. Field of the Invention

The present invention relates to duplexer packages employing a surface-acoustic-wave band pass filter and, more particularly, to multilayer duplexer packages having phase matching circuits.

2. Description of the Related Art

In recent years, mobile communications apparatuses such as handy phones have been rapidly down-sized and, hence, the parts for use therein have been desired to have a reduced size and higher performance. In radio communications apparatuses, duplexers are used to prevent the interference of transmitted and received signals. While most of the duplexers comprise band pass filters or band filters utilizing dielectric or combinations thereof, those employing surface-acoustic-wave filters are now under research and development.

A duplexer comprising two surface-acoustic-wave band pass filter chips F1 and F2 should be designed so as to prevent the interference between the filter characteristics of these surface-acoustic-wave band pass filters. To this end, the surface-acoustic-wave band pass filters are each provided with a phase matching circuit.

In general, the aforesaid filter chips F1 and F2 are designed to each have an impedance close to a characteristic impedance (typically 50 Ω) of the entire filter circuit around the center band pass frequency thereof, and have an impedance much higher than the characteristic impedance in frequency ranges out of the pass band. However, it is difficult to prevent one filter chip from interfering with the filtering characteristics of the other filter chip in a pass band thereof due to the influence of resistance present in the circuit pattern. For this reason, the phase matching circuit is needed. The constant of the phase matching circuit is determined by respective center band pass frequencies f1 and f2 of these two filter chips and the difference therebetween.

Conventionally proposed phase matching circuits employ L (inductance) element and C (capacitor)

element or lines serving as L and C components.

For example, Japanese Unexamined Patent Publications HEI 5(1993)-167388 and HEI 5(1993)-167389 disclose duplexers having phase matching circuits formed of metal strip lines on a glass-epoxy resin substrate or ceramic substrate. Otherwise, there is known a duplexer package comprising a multilayer ceramic package having two filter chips and phase matching circuits accommodated therein.

In FIGS. 10(a) and 10(b), there is shown one example of a conventional duplexer comprising this type of multilayer ceramic package. The duplexer shown includes filter chips 7 and 8 mounted on a multilayer ceramic package 6 having a plurality of ground layers GND, phase matching circuits 1 and 2, ground terminals 3, filter signal terminals 4 and common signal terminals 5, wherein the filter chips 7 and 8 are each connected to the terminals 3, 4 and 5 by means of wires 9.

As shown, the phase matching circuits 1 and 2 are disposed below the filter chip layer and each is sandwiched between the GND layers in the package. The phase matching circuits 1 and 2 are typically formed of strip lines, and the characteristic impedances thereof are respectively adjusted equal to the characteristic impedance of an external circuit connected to the common signal terminals 5, so that the circuit loss can be reduced.

However, the characteristic impedances of these two filter chips having different center pass band frequencies in the duplexer vary depending on signal frequencies to be used. For example, the characteristic impedance of each of the filter chips is substantially the same as that of an external circuit connected thereto in a pass band, and is much lower or higher than that of the external circuit in a stop band. If these filter chips are to be used for the construction of a duplexer, an attempt must be made to prevent degradation in the characteristics of the filter chips and the external circuits for a reduced circuit loss. For this reason, it is ideal that the characteristic impedance of one filter chip is infinitely great and the reflection coefficient thereof is generally 1 in the pass band of the other filter chip.

To attain such ideal characteristics, phase matching circuits are required. To meet this requirement, the formation of the aforesaid strip lines has been proposed. In this case, the resistance increases proportionally to the strip line length. The increase in resistance may cause a signal transmission loss and increase in the distribution constant of stray capacity to occur. The increase in stray capacity influences the phase circuit constant and the like, and such influence increases as the frequency of signals to be used grows higher. That is, the branching characteristics of transmitted and received signals are degraded, resulting in a transmission loss of the signals.

If the package is made of a material having a high dielectric constant, the layers have to be bonded to each other at a high temperature. This means that the strip lines should be formed of a high melting-point metal. Therefore, the aforesaid filtering characteristics may be degraded to a larger extent.

SUMMARY OF THE INVENTION

in accordance with the present invention, there is provided a multilayer duplexer package comprising: two surface-acoustic-wave filter chips having different center pass band frequencies; and at least two phase matching circuits for matching the phase of one filter chip to that of the other filter chip, said phase matching circuits respectively comprising strip lines stacked one above another, and said strip lines each having a characteristic impedance higher than the characteristic impedance of an external circuit to be connected to the duplexer package.

With this construction, the impedance of each of the strip lines is set to a value higher than that of the external circuit to be connected to the duplexer package, whereby the signal loss in the pass band of the filter chip can be reduced and, hence, the characteristic degradation can be suppressed.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a block diagram of a duplexer in accordance with EMBODIMENT 1 of the present invention;

FIG. 2 is a graphical representation for the explanation of frequency characteristics of filter chips of a duplexer;

FIGS. 3(a) and 3(b) are a plan view and sectional view, respectively, of a duplexer employing a multilayer ceramic package in accordance with EMBODIMENT 1 of the present invention;

FIG. 4 is a plan view illustrating an exemplary pattern of a strip line in accordance with the present invention;

FIG. 5 is a graphical representation showing a change in the filter characteristics relative to the characteristic impedance of a strip line in accordance with the present invention;

FIG. 6 is a graphical representation showing a change in the characteristic impedance of a strip line in accordance with EMBODIMENT 2 of the present invention;

FIG. 7 is a graphical representation showing a comparison of band characteristics between EMBODIMENTS 1 and 2;

FIG. 8 is an electrically equivalent circuit model of a duplexer package in accordance with the present invention;

FIG. 9 is a graphical representation showing a band characteristic in accordance with EMBODIMENT 3 of the present invention; and

FIGS. 10(a) and 10(b) are a plan view and sectional view, respectively, of a conventional duplexer package.

DESCRIPTION OF THE PREFERRED EMBODIMENTS

The present invention will now be described in detail.

A multilayer duplexer package in accordance with the present invention includes: two surface-acoustic-wave filter chips having different center band pass frequencies; and at least two phase matching circuits for matching the phase of one filter chip to that of the other filter chip, the phase matching circuits respectively comprising strip lines stacked one above another, and the strip lines each having a characteristic impedance higher than the characteristic impedance of an external circuit to be connected to the duplexer package.

The characteristic impedance of each strip line is preferably set to a value 1.11 ($\pm 7\%$) times that of the external circuit.

Further, the strip line may have different widths at the opposite ends thereof.

Preferably, the duplexer package further comprises a common signal terminal for connecting the external circuit thereto, wherein the strip lines are each connected to the common signal terminal at one end thereof and to the corresponding filter chip at the other end thereof, and wherein said one end of each strip line connected to the common signal terminal has a width narrower than that of said other end thereof connected to the filter chip, so that the width of the strip line gradually narrows from said other end connected to the filter chip to said one end connected to the common signal terminal.

Further, the strip lines and filter chips are preferably formed in tiers.

Preferably, the filter chips each comprise parallel surface-acoustic-wave resonators connected in parallel to a signal line which links the common signal terminal and the corresponding strip line, and a serial surface-acoustic-wave resonator connected in series to the signal line, wherein the number of the ground terminals for duplexer package is greater than the number of the parallel surface-acoustic-wave resonators of the filter chips.

The duplexer package is typically made of alumina, glass ceramic or any other material having a high dielectric constant. Exemplary materials of the strip lines include gold, tungsten, copper and any other material having a low resistance and high conductivity. The two strip lines are sandwiched between layers of the package made of any of the aforesaid materials having a high dielectric constant, and stacked one above the other with a layer of the package being interposed therebetween.

In accordance with the present invention, the impedance of each of the strip lines is set to a value higher than that of the external circuit to be connected to the duplexer package, whereby the signal loss in a pass band of the filter chip can be reduced and, hence, the characteristic degradation can be suppressed.

In addition, the strip lines do not have a constant width, but different widths at the opposite ends

thereof. More specifically, the width of one end of each strip line connected to the common signal terminal is narrower than that of the other end thereof connected to the filter chip, so that the width of the strip line gradually narrows from said other end connected to the filter chip to said one end connected to the common signal terminal. This allows the signal loss in the pass band of the filter chip to be reduced, thereby suppressing the characteristic degradation.

Further, the strip lines and filter chips are formed in tiers, thereby down-sizing the duplexer package.

Still further, the number of ground terminals for duplexer package is greater than the number of parallel surface-acoustic-wave resonators constituting the filter chips. Hence, the signal attenuation in stop bands of the respective filter chips can be increased, thereby suppressing the characteristic degradation.

With reference to the attached drawings, the present invention will hereinafter be specifically described by way of EMBODIMENTS, but not limited thereto.

EMBODIMENT 1

FIG. 1 is a schematic view of a duplexer in accordance with the present invention. As shown, the duplexer comprises two surface-acoustic-wave band pass filter chips F1 and F2 connected to common terminals T-T' and two phase matching circuits 1 and 2 respectively connected between the filter chips and common terminals T-T'.

The common terminals T and T' are connected to an external circuit for transmitting and receiving radio waves via an antenna. The duplexer further comprises F1 terminals connected to the filter chip F1 for connecting thereto, for example, an external transmitter circuit, and F2 terminals connected to the filter chip F2 for connecting thereto, for example, an external receiver circuit.

FIG. 2 is a graphical representation for the explanation of frequency characteristics of the filter chips of the duplexer. As shown, the surface-acoustic-wave band pass filter chips F1 and F2 have different center band pass frequencies. For example, the center frequencies f1 and f2 of the filter chips F1 and F2 are set to 932 MHz and 878 MHz, respectively. In this case, the filter chips F1 and F2 are each provided with a phase matching circuit so that the band pass characteristics of the filter chips do not interfere with each other, i.e., the minimum attenuation of the respective filter chips do not overlap with each other.

FIGS. 3(a) and 3(b) are a plan view and sectional view, respectively, of a duplexer employing a multilayer ceramic package in accordance with the present invention. In FIGS. 3(a) and 3(b), there are shown phase matching circuits 1 and 2 respectively comprising strip lines made of such a material as tungsten, ground layers GND stacked with the two strip lines being interposed therebetween, ground terminals 3 for duplexer package, filter signal terminals 4 respectively connected to filter chips 7 and 8 from transmitter and receiver circuits respectively, and common signal terminals 5 connected to an external circuit through the phase matching circuits.

The filter chips 7 and 8 are mounted above the ground layers. The filter chips 7 and 8 are each connected to the ground terminals 3, filter signal terminals 4 and common signal terminals 5 by means of wires 9. The strip lines 1 and 2, terminals 3, 4 and 5, and filter chips 7 and 8 formed in a layered structure are connected to each other via through-holes.

A ceramic package 6 having the aforesaid structure is made of a glass ceramic material (dielectric constant=5) and has dimensions of about 7.5 mm.times.8.5 mm.times.2.1 mm (height).

The strip lines 1 and 2 embedded between the ground layers GND are not of a straight line configuration, but are continuous lines having some curves and straight lines formed on the same plane. FIG. 4 is a plan view illustrating an exemplary pattern of the strip line 1. The length and width of the strip line 1 are about 35 mm and about 0.2 mm, respectively. The strip line 2 has a configuration different from that of the strip line 1, and the length and width thereof are about 25 mm (shorter than the strip 1) and 0.2 mm (same as the strip 1), respectively.

These two strip lines are each disposed between the ground layers GND made of a glass ceramic material, as shown in FIG. 3(b). The thicknesses of the respective ground layers are as shown in FIG. 3 (b) so as to adjust the characteristic impedances of the respective strip line patterns to 55.OMEGA.. In this case, the characteristic impedances of the strip lines are set higher (=55.OMEGA.) than the characteristic impedance (=50.OMEGA.) of the external circuit.

FIG. 5 is a graphical representation showing the change in the filter characteristics relative to the characteristic impedance of the strip line. The filter characteristics shown in FIG. 5 include a voltage standing wave ratio (VSWR) in a pass band of one filter chip, reflection coefficient change, and loss increase in a pass band of the other filter chip, which are all plotted as the ordinate.

The VSWR in the pass band is generally not greater than 2 and ideally 1. Therefore, the filter has a VSWR of not greater than 2 and as close to 1 as possible.

Though the reflection coefficient is ideally 1, a generally employed filter has a reflection coefficient of about 0.85 to about 0.90. To prevent the characteristic degradation of the filter, it is essential that the change value of the reflection coefficient is such that the reflection coefficient is as close to 1 as possible, i.e., a value not less than 0.

The loss increases or decreases with the change in the characteristic impedance of the strip line. The permissible range of loss increase is 0 to about 0.5, which causes no problem in practical signal transmission.

As can be understood from FIG. 5, where the characteristic impedance is 50.OMEGA., for example, the VSWR assumes a more preferable value than the case where the characteristic impedance is 55.OMEGA.). However, the values of the reflection coefficient change and loss increase assume undesirable values.

Accordingly, the strip lines having a characteristic impedance of 55.OMEGA.) exhibit less degradation in the filter characteristics as a whole than those having a characteristic impedance of 50.OMEGA.. This means that the characteristic degradation is more suppressed where the strip lines have a characteristic impedance somewhat higher than that of the external circuit. Further, where the strip lines have a characteristic impedance close to 60.OMEGA., the VSWR assumes a value greater than 2, and an increase in mismatching loss exceeds 0.5, causing degradation in filter characteristics that cannot be ignored.

The criteria for selecting the characteristic impedance of the strip lines that do not pose practically any problems are such that the VSWR is not greater than 2, the reflection coefficient change is not less than 0 and the loss increase is not greater than 0.5. To suppress the degradation in the filter characteristics without causing any problems in practical signal transmission, the characteristic impedance of the strip lines should be 1.11 (+-.7%) times the characteristic impedance (50.OMEGA.) of the external circuit (i.e., 51.615.OMEGA. to 59.385.OMEGA.).

The upper limit of the characteristic impedance of the strip lines is such that the VSWR is about 2, and the lower limit thereof is such that the reflection coefficient change is 0. When the characteristic impedance is 1.11 (+-.7%) times the characteristic impedance (50.OMEGA.) of the external circuit, the range between the upper and lower limits of the characteristic impedance can be realized.

Thus, the signal loss in the pass bands of the respective filter chips can be reduced for suppressing the characteristic degradation of the filter chips by setting the characteristic impedance of the strip lines (or the phase matching circuits) to a value higher than that of the external circuit.

Furthermore, since two strip lines are stacked one above the other and the filter chips are disposed above the strip lines, the entire size of the duplexer package can be reduced. As previously mentioned, the characteristic degradation of the filter chips can be suppressed and, hence, the production yield of duplexer packages can be improved.

EMBODIMENT 2

To be next described is an example of a duplexer including strip lines each having different widths at the opposite ends thereof.

The width of the strip line pattern (shown in FIG. 4) embedded between ground layers is gradually changed. For example, the strip line 1 has gradually narrowing widths along the longitudinal direction thereof with a width of about 240 .mu.m at one end thereof connected to the filter chip, a width of about 180 .mu.m at the other end thereof connected to the common terminal, and a width of about 200 .mu.m at the intermediate portion thereof.

FIG. 6 is a graphical representation showing a change in the characteristic impedance of a strip line having gradually changing widths along the longitudinal direction thereof. The characteristic impedance includes an influence by the resistance of the strip line.

In FIG. 6, the abscissa and the ordinate show the length and the characteristic impedance, respectively, of the strip line. The upper graph in FIG. 6 shows the case where the line length is 35 mm (corresponding to the strip line 1), and the lower graph in FIG. 6 shows the case where the line length is 25 mm (corresponding to the strip line 2).

The left-hand side of the graph represents one end of the strip line on the filter chip side having a wider width, while the right-hand side of the graph represents the other end on the common terminal side having a narrower width. As can be understood from FIG. 6, where the characteristic impedance of the external circuit is rated at 50.OMEGA.), the characteristic impedance of the strip line is about 0.95 times at one end thereof on the filter chip side having a wider width and is 1.3 times at the other end thereof on the common terminal side having a narrower width, and the average impedance is 1.11 times that of the external circuit.

FIG. 7 is a graphical representation showing a comparison in band characteristics between the strip line of EMBODIMENT 1 having a constant width and the strip line of EMBODIMENT 1 having gradually changing widths. The abscissa and the ordinate show the frequency and attenuation, respectively.

As can be understood from FIG. 7, the strip line having gradually changing widths offers an improved insertion loss (Attenuation) and a mismatching loss of about 0.20 dB, which is reduced by 80% compared with the strip line of EMBODIMENT 1 having a constant width. The actual mismatching loss is smaller than a theoretical value. This is because, as a result of the phase rotation caused by the strip line, the characteristic impedance of the filter chip becomes equal to that of the external circuit which has a characteristic impedance quite different from that of the strip line.

Thus, the strip line having different widths at the opposite ends thereof allows the filter chip to exhibit a reduced signal loss in the pass band thereof and less characteristic degradation. In addition, the suppression of the characteristic degradation improves the production yield of duplexer packages.

EMBODIMENT 3

EMBODIMENT 1 shown in FIG. 3 provides an example of a duplexer package having a plurality of ground terminals formed on the surface thereof. By way of EMBODIMENT 3, there will be described the characteristics of a duplexer package having ground terminals or ground bonding pads, the number of which is greater than that of the parallel surface-acoustic-wave resonators incorporated in the filter chip.

In general, the filter chip includes parallel surface-acoustic-wave resonators connected in parallel to a signal line which links the aforesaid common terminal and a strip line, and a serial surface-acoustic-wave resonator connected in series to the signal line.

As described with reference to FIG. 3(a), one end of each of the resonators in the filter chip is connected to a ground terminal 3, filter terminal 4 and common terminal 5 by means of wires 9. As the duplexer is of multilayer structure, the connection to the strip lines disposed in lower layers and grounding are achieved by through-holes.

FIG. 8 is an electrically equivalent circuit model of the duplexer package shown in FIG. 3. In FIG. 8, there are shown filter chips 7 and 8 each comprising a serial surface-acoustic-wave resonator and two parallel surface-acoustic-wave resonators. The filter chips are connected to the respective terminals by means of wires 9. The wires 9 each include an inductance component. The through-holes for connecting the filter chips to the strip lines disposed in the lower layers and ground terminals also include inductance components as shown in FIG. 8.

It is known that the signal attenuation in the stop band of a filter is changed as the number of wires connected to the parallel surface-acoustic-wave resonators changes. This is because the inductance components present in the wires 9 and through-holes are changed. In general, the inductance components cause the leakage of high-frequency signals and adversely affect the signal attenuation. Therefore, the inductance components should be reduced.

For this reason, ground terminals 3 greater in number than the parallel surface-acoustic-wave resonators are formed on the duplexer package. Therefore, an increased number of the wires 9 and through-holes are used for connecting the filter to the ground terminals in parallel and, hence, the inductance components included in the wires 9 and through-holes can be reduced.

FIG. 9 is a graphical representation of band pass characteristics for comparison between case (A)

where an increased number of ground terminals are formed and case (B) where the number of parallel surface-acoustic-wave resonators is equal to that of the ground terminals. In the case (A), there are provided two ground terminals per parallel surface-acoustic-wave resonator. The attenuation in the stop band of the filter chip can be increased by about 5 dB as shown in FIG. 9. At this time, little characteristic degradation is observed in the pass band of the filter chip as shown in FIG. 9.

Instead of increasing the number of ground terminals as described above, the signal attenuation in the stop band can be increased by increasing the number of wires for connecting the ground terminals to the filter. It is considered that the reduction in the signal attenuation in the stop band results from reduced inductance components present in the through-holes and wires.

As can be appreciated from the foregoing, the filter characteristics can be improved by providing as many ground terminals 3 as shown in FIG. 8 as the space of the duplexer package permits. Thus, by providing ground terminals greater in number than the parallel surface-acoustic-wave resonators, the signal attenuation can be increased only in the stop band without degrading the characteristics in the pass band of the filter chip. This means that the characteristics of one filter chip can be improved in the pass band of the other filter chip.

Although these embodiments employ duplexer packages made of glass ceramic, other materials such as alumina (dielectric constant: 10) and mulite may be used for the duplexer package. These materials also improve the filter characteristics to substantially the same extent as glass ceramic with little difference in the absolute value of signal attenuation.

While the duplexer packages in accordance with the aforesaid embodiments are of layered structure with filter chip layer and two strip line layers being stacked in tiers, the filter chips and two strip lines may be arranged in the same plane of one glass ceramic substrate. In such case, a substrate having a larger base area may be required, but the height thereof can be reduced. Therefore, either the duplexer of the stacked structure or the duplexer of the planar structure having filter chips etc. arranged in the same plane can be chosen, depending on applications thereof.

Alternatively, the duplexer may be of such a construction that the strip lines and the filter chips are arranged on independent substrates, or that two strip lines are embedded parallel to each other in a glass ceramic substrate.

In accordance with the present invention, the characteristic degradation of filter chips can be suppressed by setting the characteristic impedance of each strip line to a value greater than the characteristic impedance of an external circuit connected to the duplexer package, by forming strip lines each having different widths at the opposite ends thereof, or by providing the duplexer package with ground terminals greater in number than the parallel surface-acoustic-wave resonators incorporated in the filter chips.

Data supplied from the esp@cenet database - I2

Claims

What is claimed is:

1. A multilayer duplexer package comprising: two surface-acoustic-wave filter chips having different center pass band frequencies; and at least two phase matching circuits for matching the phase of one filter chip to that of the other filter chip, said phase matching circuits respectively comprising strip lines stacked one above another, and said strip lines each having a characteristic impedance higher than the characteristic impedance of an external circuit to be connected to the duplexer package.
2. A duplexer package as set forth in claim 1, wherein the characteristic impedance of each of said strip lines is set to a value 1.11 (±.7%) times that of said external circuit.
3. A duplexer package as set forth in claim 1, wherein said strip lines each have different widths at opposite ends thereof.
4. A duplexer package as set forth in claim 1, wherein the characteristic impedance of each of said strip lines is set to a value 1.11 (±.7%) times that of said external circuit, and said strip lines each have different widths at opposite ends thereof.
5. A duplexer package as set forth in claim 1, 2, 3 or 4, wherein said strip lines and said filter chips are formed in tiers.

6. A duplexer package as set forth in claim 1, wherein said strip lines each have different widths at opposite ends thereof, further comprising: a common signal terminal for connecting the external circuit thereto, and said strip lines are each connected to the common signal terminal at one end thereof and to the corresponding filter chip at the other end thereof; and said one end of each of said strip lines connected to the common signal terminal has a width narrower than that of said other end thereof connected to the filter chip, so that the width of said each strip line gradually narrows from said other end connected to the filter chip to said one end connected to the common signal terminal.

7. A duplexer package as set forth in claim 6, wherein said strip lines and said filter chips are formed in tiers.

8. A duplexer package as set forth in claim 1 or 2, wherein said filter chips each comprise parallel surface-acoustic-wave resonators connected in parallel to a signal line which links the common signal terminal and one of the strip lines, and a serial surface-acoustic-wave resonator connected in series to said signal line, wherein the number of the ground terminals for duplexer package is greater than that of parallel surface-acoustic-wave resonators of the filter chips.

9. A duplexer package as set forth in claim 8, wherein said parallel surface-acoustic-wave resonators each have at least two ground terminals.

Data supplied from the **esp@cenet** database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-18393

(43) 公開日 平成8年(1996)1月19日

(51) Int.Cl.⁶
H 0 3 H 9/72

識別記号

庁内整理番号
7259-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願平6-151319

(22) 出願日 平成6年(1994)7月1日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 伊形 理

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 佐藤 良夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 平沢 暢朗

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 野河 信太郎

最終頁に続く

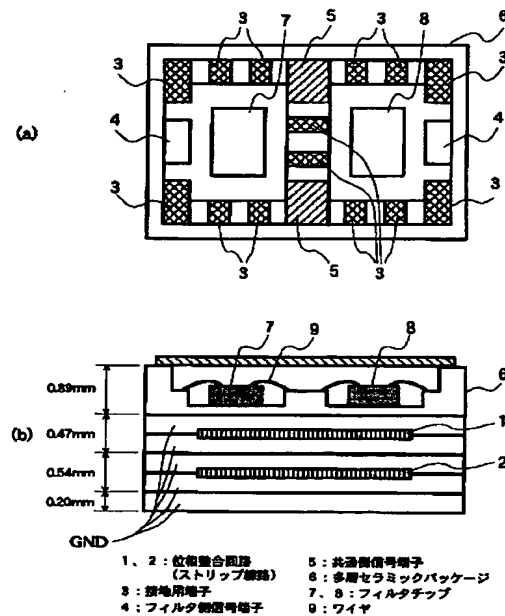
(54) 【発明の名称】 分波器パッケージ

(57) 【要約】

【目的】 この発明は、分波器パッケージに関し、多層構造のパッケージ内部に埋め込まれたストリップ線路のインピーダンスの測定及び接地端子数の調整によってフィルタ特性の劣化を改善することを目的とする。

【構成】 それぞれ異なる帯域中心周波数を有する2つの弾性表面波フィルタチップと、2つのフィルタ間の位相整合用回路とを一つに収めた多層分波器パッケージであって、前記位相整合用回路が積層化された少なくとも2つのストリップ線路により形成され、前記ストリップ線路の特性インピーダンス値を前記分波器パッケージに接続される外部回路の特性インピーダンス値よりも大きくしたことを特徴とする。

この発明の第1実施例の多層セラミックパッケージを用いた分波器の平面図及び断面図



1

【特許請求の範囲】

【請求項1】 それぞれ異なる帯域中心周波数を有する2つの弾性表面波フィルタチップと、2つのフィルタ間の位相整合回路とを一つに収めた多層分波器パッケージであって、前記位相整合回路が積層化された少なくとも2つのストリップ線路により形成され、前記ストリップ線路の特性インピーダンス値を前記分波器パッケージに接続される外部回路の特性インピーダンス値よりも大きくしたことを特徴とする分波器パッケージ。

【請求項2】 前記ストリップ線路の特性インピーダンス値を前記外部回路の特性インピーダンス値に対し、1.11倍±7%以内としたことを特徴とする請求項1記載の分波器パッケージ。

【請求項3】 前記ストリップ線路の幅をその両端において異ならしめたことを特徴とする請求項1又は2記載の分波器パッケージ。

【請求項4】 前記外部回路を接続するための共通信号端子を備え、前記ストリップ線路の一端が前記共通信号端子に接続されると共に前記ストリップ線路の他端が前記フィルタチップに接続され、かつ前記共通信号端子との接続部のストリップ線路の幅が前記フィルタチップとの接続部のストリップ線路の幅よりも小さく、ストリップ線路の幅が前記フィルタチップ接続部から前記共通信号端子接続部にかけて徐々に細く形成されることを特徴とする請求項3記載の分波器パッケージ。

【請求項5】 前記フィルタチップと前記ストリップ線路が階層化されて形成されることを特徴とする請求項1、2、3又は4記載の分波器パッケージ。

【請求項6】 前記フィルタチップが、前記外部回路を接続するための共通信号端子と前記ストリップ線路を接続する信号線に対して並列に接続される並列型の弾性表面波共振器と、直接に接続される直列型の弾性表面波共振器とから構成され、さらに前記フィルタチップを接地するための接地用端子の数が前記並列型の弾性表面波共振器の数よりも多く設けられることを特徴とする請求項1又は2記載の分波器パッケージ。

【請求項7】 1つの前記並列型の弾性表面波共振器に対して少なくとも2個以上の接地用端子を設けることを特徴とする請求項6記載の分波器パッケージ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、弾性表面波帯域通過フィルタを用いた分波器パッケージに関し、特に、位相整合回路を備えた多層の分波器用パッケージに関する。

【0002】 近年、携帯用電話機に代表される移動通信機器の小型化が急速に進められ、これらに使用される部品の小型・高性能化が要望されている。これら無線通信機器における信号の分岐、生成を行うために送信信号及び受信信号が干渉しないように、分波器が用いられてい

2

る。分波器は誘電体を用いた帯域通過フィルタ、帯域阻止フィルタあるいはそれらの組み合わせにより構成されたものが多いが、今日では弾性表面フィルタを用いたものが研究開発されている。

【0003】

【従来の技術】 二つの帯域通過弾性表面波フィルタチップ F_1 及び F_2 を用いて分波器を構成する場合、互いのフィルタ特性を干渉しないように設計する必要があり、そのために各フィルタに対して位相整合回路が付加される。

【0004】 これは、一般に、上記のフィルタチップ F_1 及び F_2 は、それぞれの通過帯域の中心周波数付近では分波器回路全体の特性インピーダンス（通常50Ω）に近い値を持ち、他の周波数帯域では特性インピーダンスははるかに大きな値を持つように設計されるが、回路パターンに存在する抵抗分等の影響のため相手のフィルタチップの通過帯域において相手のフィルタ特性に対して干渉しないようにすることは難しいためである。この位相整合回路の定数は2つのフィルタチップの中心周波数（ f_1 及び f_2 ）の値とその差によって決定される。

【0005】 従来、この位相整合回路としては、L（インダクタンス）素子やC（コンデンサ）素子を用いるもの、又はL、C成分としての役割を果たす線路を用いるもの等が提案されている。

【0006】 例えば、特開平5-167388号公報、及び特開平5-167389号公報には、ガラスエポキシ基板またはセラミック基板上に金属のストリップ線路により位相整合回路を形成した分波器が記載されている。また、2つのフィルタチップ及び位相整合回路を多層のセラミックパッケージの中に納めたものもある。

【0007】 この従来の多層セラミックパッケージを用いた分波器の例を図10(a)、(b)に示す。これは、同図に示すように、複数のグランド層GNDと、位相整合回路1及び2と、接地用端子3、フィルタ側信号端子4、共通信号端子5とが設けられた多層セラミックパッケージ6に、フィルタチップ7及び8が搭載され、フィルタチップ7、8と各端子3、4、5間をワイヤ9で接続している。

【0008】 パッケージ内に納められた位相整合回路1及び2は、同図に示すように、フィルタチップの層の下方でGND層にはさまれた位置にあり、通常ストリップ線路により形成され、その特性インピーダンスが共通信号端子5に接続される外部回路の特性インピーダンスと一致させるように作成される。これにより回路損失の低減が図られる。

【0009】

【発明が解決しようとする課題】 しかしながら、分波器を構成する2つの異なる中心周波数を持ったフィルタチップは使用する信号の周波数により特性インピーダンスが変化する。例えば、フィルタチップの特性インピーダ

3

ンスは通過帯域においては外部回路の特性インピーダンスと略同等の値となり、阻止域においては外部回路の特性インピーダンスよりも遙に小さいかあるいは大きな値となる。そして、回路損失を低減するために、これらを用いて分波器を構成する際には、フィルタチップ及び外部回路の互いの特性を劣化させないようにしなければならない。そのためには、互いの通過域においては、相手方の特性インピーダンスが無限大に且つ反射係数も略1になっていることが理想である。

【0010】このような理想的特性に近づけるために位相を整合する回路が必要であり、前記したようなストリップ線路を形成させることが提案されているが、この場合、線路長に比例して抵抗も増加する。抵抗が増加するという事は、信号の伝搬損失の発生や、分布定数における浮遊容量の増加をもたらすおそれがある。この浮遊容量の増加は、位相回路定数等に影響を及ぼし、使用する信号の周波数が高周波数になる程、その影響の度合いは大きくなる。すなわち、送受信信号の分岐の特性の劣化となり、さらに送受信信号の伝達の損失につながる。

【0011】また、パッケージに高誘電率の材料を使うと、高温で各層の結合をさせなければならず、したがってストリップ線路にも高融点のものを使わなければならないため、上記のフィルタ特性の劣化の度合いが大きくなる。

【0012】そこで、この発明は、以上のような事情を考慮してなされたものであり、分波器パッケージに内蔵された位相整合回路であるストリップ線路の特性インピーダンスの設定及び分波器パッケージの接地用端子の数の調整によって、帯域中心周波数の異なる2つのフィルタの特性劣化を改善することができる分波器パッケージを提供することを目的とする。

【0013】ここで、ストリップ線路の特性インピーダンスの値を分波器に接続される外部回路の特性インピーダンスの値よりも高めに設定することによって、上記2つの特性インピーダンスを一致させた時に比べて通常帯域の信号損失を減らし、特性劣化を改善することを目的とする。

【0014】また、前記ストリップ線路の幅を一定でなく線路の両端において異ならせることによって、通過帯域の信号損失を減らし、特性劣化を改善することを目的とする。また、分波用パッケージの接地用端子の数をフィルタチップを構成する並列型の弾性表面波共振器の数よりも多くすることによって、阻止帯域の信号減衰量を増加させて、特性劣化を改善することを目的とする。

【0015】

【課題を解決するための手段】この発明は、それぞれ異なる帯域中心周波数を有する2つの弾性表面波フィルタチップと、2つのフィルタ間の位相整合用回路とを一つに収めた多層分波器パッケージであって、前記位相整合用回路が積層化された少なくとも2つのストリップ線路

4

により形成され、前記ストリップ線路の特性インピーダンス値を前記分波器パッケージに接続される外部回路の特性インピーダンス値よりも大きくしたことを特徴とする分波器パッケージを提供するものである。

【0016】ここで、前記ストリップ線路の特性インピーダンス値を前記外部回路の特性インピーダンス値に対し、 1.11 倍 $\pm 7\%$ 以内とすることが好ましい。また、前記ストリップ線路の幅を、そのストリップ線路の両端において異ならしめるようにしてもよい。

【0017】さらに、前記外部回路を接続するための共通信号端子を備え、前記ストリップ線路の一端が前記共通信号端子に接続されると共に前記ストリップ線路の他端が前記フィルタチップに接続され、かつ前記共通信号端子との接続部のストリップ線路の幅が前記フィルタチップとの接続部のストリップ線路の幅よりも小さく、ストリップ線路の幅が前記フィルタチップ接続部から前記共通信号端子接続部にかけて徐々に細く形成されるようにすることが好ましい。さらに、前記フィルタチップと前記ストリップ線路は階層化されて形成されるようにしてもよい。

【0018】また、前記フィルタチップが、前記外部回路を接続するための共通信号端子と前記ストリップ線路を接続する信号線に対して並列に接続される並列型の弾性表面波共振器と、直接に接続される直列型の弾性表面波共振器とから構成され、さらに前記フィルタチップを接地するための接地用端子の数が前記並列型の弾性表面波共振器の数よりも多く設けられるようにすることが好ましい。

【0019】ここで、分波器パッケージは一般にアルミナ又はガラスセラミックで形成されるが、高誘電率を持つ材料であればよい。また、ストリップ線路は、金、タングステン、銅等の金属が用いられるが、抵抗分が少なく導電率の高い材料が好ましい。また、2つのストリップ線路は、前記したような高誘電率の材料で作られたパッケージの層間に挟まれて形成され、2つのストリップ線路は、パッケージの層を介して積層化して形成されることが好ましい。

【0020】

【作用】この発明によれば、ストリップ線路の特性インピーダンスの値を分波器パッケージに接続される外部回路の特性インピーダンス値よりも大きく設定しているため、フィルタチップの通過帯域の信号損失を減らし、特性劣化を改善することができる。

【0021】また、ストリップ線路の幅を一定でなく、そのストリップ線路の両端において異ならせるようにし、特に、ストリップ線路の共通信号端子との接続部の幅をストリップ線路のフィルタチップとの接続部の幅よりも小さくし、かつストリップ線路の幅をフィルタチップ接続部から前記共通信号端子接続部にかけて徐々に細く形成されるようにするため、フィルタチップの通過帯

5

域の信号損失を減らし、特性劣化を改善することができる。

【0022】また、フィルタチップとストリップ線路が階層化されて形成されるため、分波器パッケージを小型化することができる。

【0023】また、フィルタチップを接地するための接地用端子の数を、フィルタチップを構成する並列型の弾性表面波共振器の数よりも多く設けるため、フィルタチップの阻止帯域の信号減衰量を増加させ、特性劣化を改善することができる。

【0024】

【実施例】以下、図面に示す実施例に基づいてこの発明を詳述する。なお、これによってこの発明が限定されるものではない。

【0025】第1実施例

図1にこの発明に関する分波器の概略構成図を示す。同図に示すように、共通端子T-T'に対し、2つの弾性表面波帯域通過フィルタチップF1及びF2が接続され、これらのフィルタチップとT-T'の間に2つの位相整合回路1及び2が設けられる。

【0026】ここで、共通端子T、T'は、アンテナを通して電波を送受信する外部回路を接続する端子である。また、同図のフィルタチップF1及びF2に接続され、たとえば外部の送信用回路が接続されるF1用端子及び外部の受信用回路が接続されるF2用端子が設けられる。

【0027】図2に分波器のフィルタチップの周波数特性の説明図を示す。同図に示すように、弾性表面波帯域通過フィルタチップF1、F2は、互いに異なる帯域中心周波数を有しており、例えばフィルタチップF1の中心周波数 f_1 は932MHz、フィルタチップF2の中心周波数 f_2 は878MHzに設定される。このとき、各フィルタチップの帯域通過特性が互いに干渉しあわないようにするため、すなわち、図2における各フィルタチップの通過強度の山がなるべく重なり合わないようにするために、位相整合用の回路が付加される。

【0028】図3(a)、(b)に、この発明における多層セラミックパッケージを用いた分波器の平面図及び断面図を示す。同図において、1、2は位相整合回路であり、タングステン等の材料を用いたストリップ線路によって形成される。GNDは、グランド層であり、2つのストリップ線路の間にはさんで積層される。3はこの分波器を接地するための接地用端子であり、4は信号を分岐した後のフィルタチップに接続されるフィルタ側信号端子であり、5は外部回路に接続する共通側信号端子である。

【0029】7及び8はフィルタチップであり、GND層の上方に搭載される。また、フィルタチップ7及び8と、接地用端子3、フィルタ側信号端子4、共通側信号端子5とはワイヤ9によって接続される。また、ストリ

6

ップ線路1、2と各信号端子及びフィルタチップとは階層構造をなすため、層間にわたって形成され電氣的に接続されたスルーホールを通して結合される。

【0030】以上のような構成を持った多層セラミックパッケージ6はガラスセラミック材料(誘電率=5)で作成され、縦7.5mm、横8.5mm、高さ2.1mm程度の高さで形成できる。

【0031】また、GND層の間に埋め込まれた2つのストリップ線路1、2は単なる直線ラインではなく、同一平面上で適当に折れ曲がった直線状の線路から構成される。図4にこのストリップ線路1の形状の平面図の例を示す。なお、ストリップ線路1の長さは35mm、線幅は0.2mm程度である。もう1つのストリップ線路2はストリップ線路1と形状が異なり、長さも25mmと短い線幅は同じ0.2mmである。

【0032】2つのストリップ線路は図3(a)、

(b)に示すようにガラスセラミック材料で作成されたGND層の間に形成されるが、2つのストリップ線路のパターンの特性インピーダンス値を55Ωとするため、各GND層の厚みは図3(b)に示すような値とした。ここで、ストリップ線路の特性インピーダンス値(=55Ω)は、外部回路の特性インピーダンス値(=50Ω)よりも大きく設定している。

【0033】図5に、ストリップ線路の特性インピーダンス値に対するフィルタ特性の変化の測定図を示す。フィルタ特性値として、縦軸に帯域内VSWR(Voltage Standing Wave Ratio:電圧定在波比)、反射係数変化分、相手側フィルタチップの通過帯域における損失増加分を示している。

【0034】ここで、帯域内VSWRは、通常2以下で用いられるものであり、理想的なフィルタでは1を示すものである。従って、VSWRは、2以下でできるだけ1に近い値を示すほうがよい。

【0035】また、反射係数は、理想的には1であることが望ましいが、通常用いられるフィルタでは、0.85~0.90の値を示しており、フィルタの特性劣化をさけるためには、反射係数変化分は、反射係数をできるだけ1に近づける方向の値、すなわち0以上であることが必須条件である。

【0036】また、ストリップ線路の特性インピーダンスを変化させると、損失もそれに応じて増減するが、ここでは、実質的な信号伝送に問題のない損失増加分として0から0.5までの範囲は許容するものとする。

【0037】同図において、たとえば、特性インピーダンスが50Ωの場合には、55Ωの場合に比べてVSWRは良い数値を示しているが、反射係数変化分と損失増加分の値は、悪い数値を示している。

【0038】従って、図5において、ストリップ線路の特性インピーダンスが50Ωよりも55Ωにした方がフィルタの特性劣化が少ないと言うことができる。すなわち、

ストリップ線路の特性インピーダンスは、外部回路の特性インピーダンスよりも若干大きな値を持つようにした方が特性劣化が少ないことを意味する。また、特性インピーダンスが60Ω付近になるとVSWR値が2以上となり、また不整合損失の増加分が0.5を越えるようになり、無視できないフィルタ特性の劣化が発生しつつある状態にある。

【0039】そこで、実用上問題のないストリップ線路の特性インピーダンスを選ぶ基準としてVSWRは2以下、反射係数変化分は0以上、損失増加分は0.5以下を採用することにする。このとき、フィルタ特性の劣化を抑え、実質的な信号伝送に問題とならないために、ストリップ線路の特性インピーダンスとしては、外部回路の特性インピーダンス値50Ωに対して、1.11倍±7%(51.615～59.385Ω)を利用することができる。

【0040】ここで、ストリップ線路の特性インピーダンスの上限値としては、VSWRが2となるものを採用し、その下限値としては、反射係数変化分が0となるものを採用している。この特性インピーダンスの上限値と下限値の範囲を外部回路の特性インピーダンス値50Ωで規格化したものが1.11倍±7%である。

【0041】以上のように、位相整合回路であるストリップ線路の特性インピーダンス値を外部回路の特性インピーダンス値よりも大きく設定することによって、フィルタチップ通過帯域の信号損失を減少し、フィルタチップの特性劣化を改善することができる。

【0042】また、2つのストリップ線路を積層化し、さらに、フィルタチップをストリップ線路の上方に搭載しているため、分波器パッケージ全体の大きさを小型化することができる。また、前記のようにフィルタチップの特性劣化が改善できるので、分波器パッケージの製造上の歩留りも向上させることができる。

【0043】第2実施例

次に、ストリップ線路の幅をその両端において異ならせた場合の分波器の実施例を示す。図4に示したようなグラウンド層の間に埋め込まれたストリップ線路のパターンの幅を変化させるわけであるが、ストリップ線路1を例にとるとフィルタチップと接続される側を240μmとし、線路長方向に対して徐々にパターン幅を狭くしていき、ストリップ線路の共通端子と接続される側を180μmとし、線路中間で200μmとする。

【0044】図6にストリップ線路の線路幅を異ならせた場合の特性インピーダンスの変化を測定した図を示す。ただし、この中には、線路の抵抗による成分も含まれる。同図において、横軸が線路長に相当し、縦軸がストリップ線路の特性インピーダンスである。図6の上のグラフはストリップ線路1に対応する線路長が35mmのものであり、下のグラフはストリップ線路2に対応する線路長が25mmのものである。

【0045】また、グラフの左側が線路幅の広いフィル

タチップ側であり、グラフの右側が線路幅の狭い共通端子側である。同図のグラフより、外部回路の特性インピーダンス値50Ωで規格化した場合には、ストリップ線路の特性インピーダンスは線路幅の広いフィルタチップ側で0.95倍、線路幅の狭い共通端子側で1.3倍、全体平均で1.11倍となっていることがわかる。

【0046】図7に、第1実施例におけるような線路幅を一定にした場合と、この第2実施例における線路幅を変化させた場合の比較の測定図を示す。横軸が周波数であり、縦軸が通過強度である。

【0047】これによれば、線幅を変化させた場合の方が通過強度が改善され、不整合損失は約0.20dBとなり、第1実施例の線幅一定の場合に比べて不整合損失が8割程度に低減されていることがわかる。これはストリップ線路の特性インピーダンス値と外部回路の特性インピーダンス値は大きく異なるが、ストリップ線路により位相回転を起こした結果、フィルタチップの特性インピーダンス値が外部回路と同等の値となるため、理論値より実際の不整合損失が小さくなったと考えられる。

【0048】以上のように、ストリップ線路の線幅をその両端において異ならせることによって、フィルタチップの通過帯域の信号損失を減らし、フィルタチップの特性劣化を改善することができる。また、この特性劣化の改善によって、分波器パッケージの製造の歩留りも向上できる。

【0049】第3実施例

第1実施例では、図3に表面に複数の接地用端子を有する分波器パッケージの例を示した。ここでは、この接地用端子すなわち接地用ボンディングパッドの数がフィルタチップを構成するその内部の並列型弾性表面波共振器の数よりも多い場合の特性について説明する。

【0050】一般にフィルタチップの内部は、前記した共通端子及びストリップ線路を接続する信号線に対して並列に接続される並列型の弾性表面波共振器とこの信号に対して直列に接続される直列型の弾性表面波共振器とで構成される。

【0051】また、図3(a)に示したように、フィルタチップのこれらの共振器の一端のと、表面に存在する接地用端子3、フィルタ側端子4、及び共通信号端子5がワイヤ9によって接続される。ただし、この分波器は積層化されているため、下層部のストリップ線路や接地のためには、スルーホールが用いられる。

【0052】図8に図3の分波器パッケージの電気的な等価モデルを示す。ここでは、フィルタチップ7及び8が、どちらも1つの直列型弾性表面波共振器と、2つの並列型弾性表面波共振器で構成されている。また、ワイヤ9によってフィルタチップは各端子と接続されるが、ワイヤ9にはインダクタンス成分が存在し、さらに、下層のストリップラインや接地端子と接続するためのスルーホールにも図に示すようなインダクタンス成分が存在

する。

【0053】この並列型弾性表面波共振器に接続されたワイヤの数を減らすことでフィルタの阻止帯域の信号減衰量が変化することが知られているが、これは、ワイヤ9及びスルーホールによるインダクタンス成分が変化するためである。一般に、このインダクタンス成分は、高周波信号のもれとして減衰量に悪影響を及ぼすので、インダクタンス成分を減少させた方がよい。

【0054】そのため、図3(a)に示すように、分波器表面に接地用端子3を並列型弾性表面波共振器の数よりも多く設置する。これにより、フィルタと接地用端子3を接続するワイヤ9の数とスルーホールの数が並列に増加させられるため、これらが寄与していたインダクタンス成分が減少できる。

【0055】図9に、上記したように接地用端子の数を増加させた場合(A)と並列型弾性表面波共振器の数と同数の接地用端子を設けた場合(B)の帯域特性の比較例を示す。ここで、接地用端子の数を増加させる場合、一つの並列型弾性表面波共振器に対して2個設けるものとする。同図において、接地用端子の数を増加させた場合の方が5dB程度フィルタチップの阻止帯域において減衰量が改善できることがわかる。なお、このとき図9のようにフィルタチップの通過帯域に対しては、特性の劣化はほとんど見られない。

【0056】また、上記のように接地端子数を増加させる場合の他、接地端子数を増加させずに同じ接地端子とフィルタとを接続するワイヤの数を増加させることによっても減衰量を改善することができる。これらは、いずれも前記したように、スルーホール及びワイヤに存在するインダクタンス成分を減少させることによると考えられる。

【0057】以上のことにより、接地用端子3を、分波器パッケージのスペースの許す限り多く設けた方が、フィルタの特性を改善できる。したがって、接地用端子の数を並列型弾性表面波共振器の数よりも多く設けることによって、フィルタチップの通過帯域に対しては特性の劣化をさせずに、阻止帯域に対してのみ信号減衰量を増加させることができる。このことは、互いに相手のフィルタチップの通過帯域に対する特性が改善できることを意味する。

【0058】なお、パッケージ材料はガラスセラミックのみならず、アルミナ(誘導率:10)を用いてもよく、減衰量の絶対値としては多少の違いが見られるが、略同様にフィルタの特性が改善できる。従って、パッケージ材料としてムライト等の材料を用いても同様の結果が得られることはいうまでもない。

【0059】なお、以上の実施例では、2つのストリップ線路を積層化し、フィルタチップとストリップ線路が階層化された構造の分波器パッケージを用いたが、積層化せずに、1板のガラスセラミック基板上に2つのスト

リップ線路とフィルタチップを並べて配置してもかまわない。この場合底面積は増加するが、高さを低くすることが可能であり、用途に応じて、積層化された構造の分波器か、又はフィルタチップ等を並列に配置した構造の分波器を採用すればよい。

【0060】また、ストリップ線路とフィルタチップをそれぞれ別の基板上に配置した構造や、ガラスセラミック基板の中に2つのストリップ線路を並列に埋め込む構造を持つように分波器を形成してもよい。

10 【0061】

【発明の効果】この発明によれば、ストリップ線路の特性インピーダンスの値を分波器パッケージに接続される外部回路の特性インピーダンス値よりも大きく設定すること、ストリップ線路の両端において線路幅を異ならせること、又は、接地用端子の数をフィルタチップを構成する並列型弾性表面波共振器の数よりも多く設けることによって、フィルタチップの特性劣化を改善することができる。

【図面の簡単な説明】

20 【図1】この発明の一実施例である分波器の構成図である。

【図2】分波器のフィルタチップの周波数特性の説明図である。

【図3】この発明の一実施例である多層セラミックパッケージを用いた分波器の平面図及び断面図である。

【図4】この発明のストリップ線路の形状の例を示す平面図である。

30 【図5】この発明におけるストリップ線路の特性インピーダンス値に対するフィルタ特性の変化を示す測定図である。

【図6】この発明の第2実施例におけるストリップ線路の特性インピーダンスの変化を示す測定図である。

【図7】第1実施例と第2実施例との帯域特性の比較図である。

【図8】この発明における分波器パッケージの電氣的等価モデルである。

【図9】この発明の第3実施例における帯域特性の測定図である。

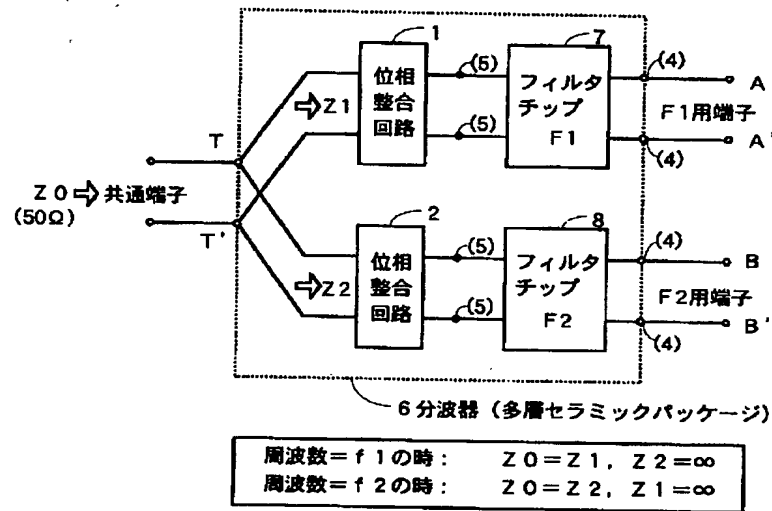
40 【図10】従来における分波器パッケージの平面図及び断面図である。

【符号の説明】

- 1 位相整合回路(ストリップ線路)
- 2 位相整合回路(ストリップ線路)
- 3 接地用端子
- 4 フィルタ側信号端子
- 5 共通側信号端子
- 6 多層セラミックパッケージ
- 7 フィルタチップ
- 8 フィルタチップ
- 50 9 ワイヤ

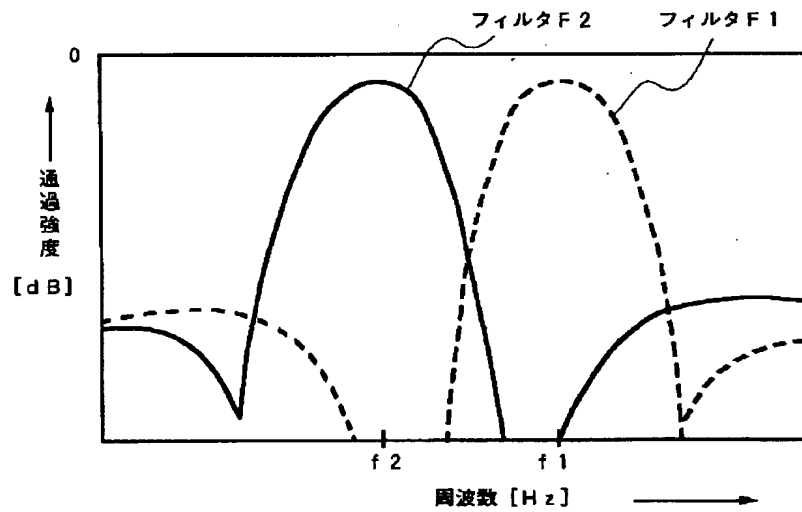
【図1】

この発明の第1実施例の分波器の構成図



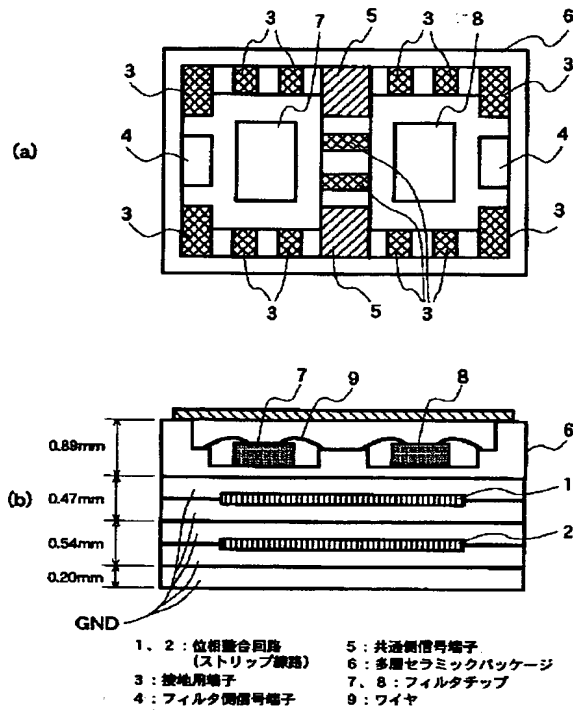
【図2】

分波器のフィルタの周波数特性図



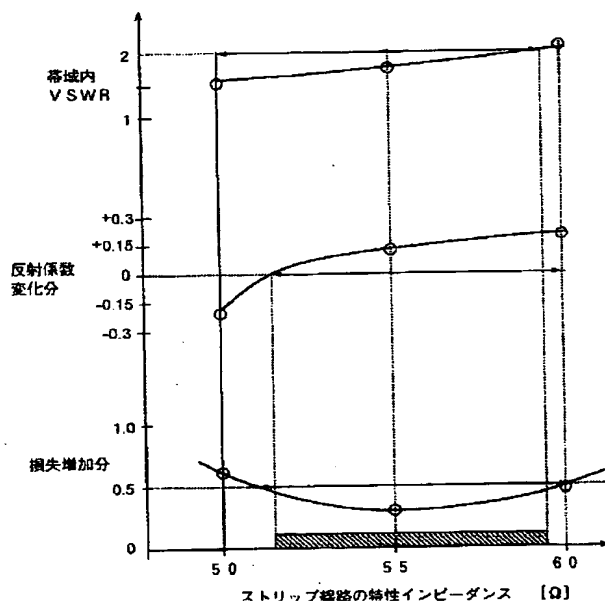
【図3】

この発明の第1実施例の多層セラミックパッケージを用いた分波器の平面図及び断面図



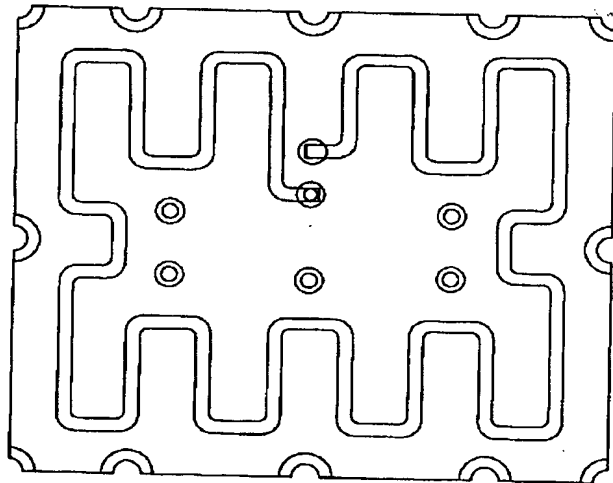
【図5】

この発明のストリップ線路の特性値の測定図



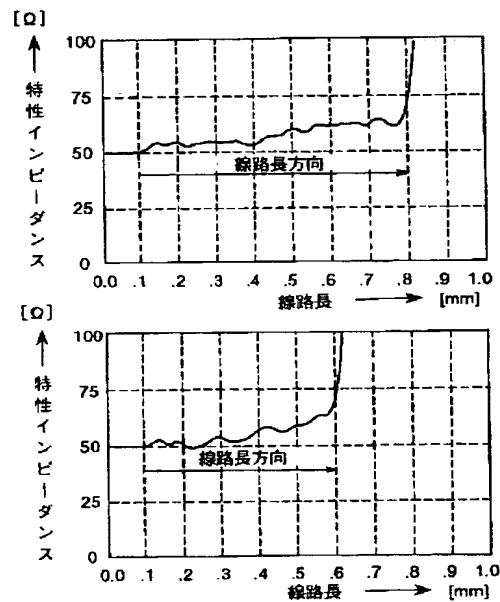
【図4】

ストリップ線路の平面図



【図6】

第2実施例におけるストリップ線路の特性インピーダンス

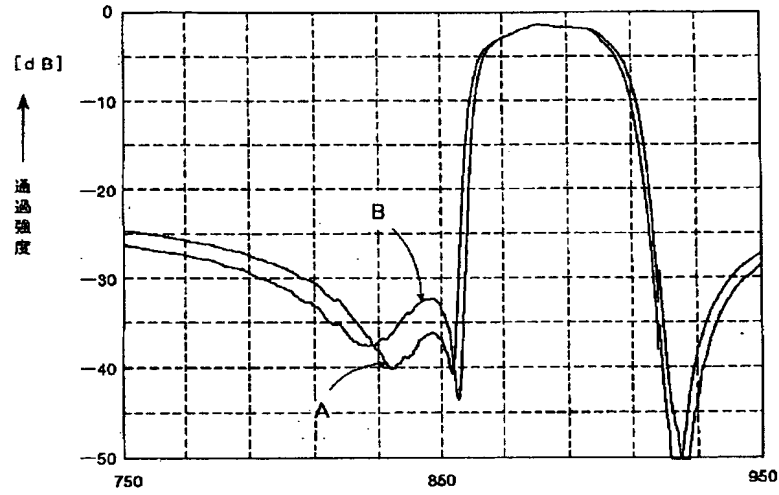


第1実施例と第2実施例との帯域特性の比較図



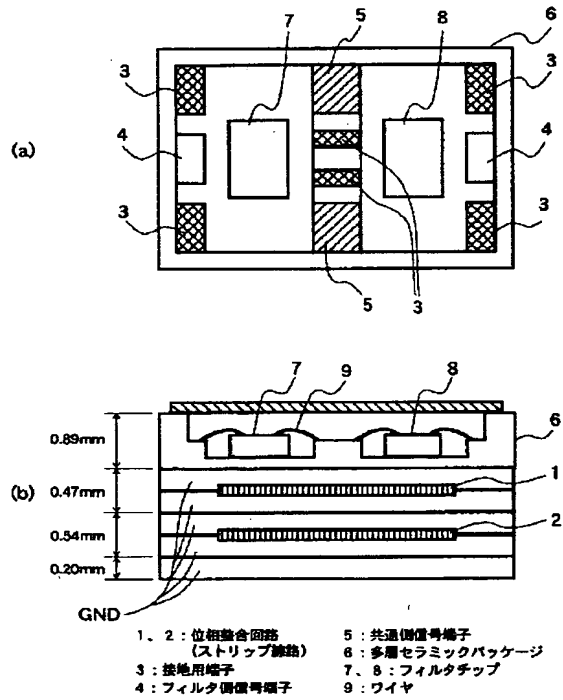
【図9】

第3実施例における帯域特性の測定図



【図10】

従来の多層セラミックパッケージを用いた分波器の平面図及び断面図



(11)

特開平 8-18393

フロントページの続き

(72)発明者 大森 秀樹
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

THIS PAGE BLANK (USPTO)